

10-088264
PCT/JP00/06261
20.10.00

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JP00/06261

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月30日

REC'D 06 NOV 2000

WIPO

PCT

出 願 番 号

Application Number:

平成11年特許願第278687号

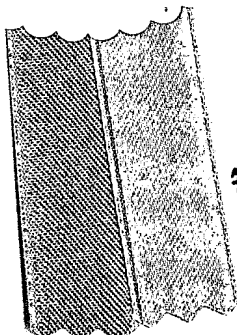
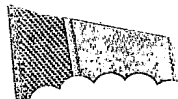
KU

出 願 人

Applicant (s):

松下電器産業株式会社

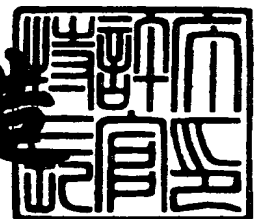
**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3066981

【書類名】 特許願
【整理番号】 2036410274
【提出日】 平成11年 9月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
H01L 21/336

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 竹橋 信逸

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 河北 哲郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 武富 義尚

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 ゲート金属膜をレジストによりゲート電極のパターニングを行なう工程と前記ゲート電極上に前記レジストが形成された状態で前記ゲート電極をマスクに多結晶シリコン半導体層に高濃度な不純物領域を形成する第 1 の不純物注入を行う工程と前記レジストを等方的なエッチングにより後退させ、前記ゲート電極の両端部の表面を露出させる工程と前記レジストをマスクに前記露出したゲート電極の両端部をエッチング除去する工程と前記ゲート電極をマスクに前記多結晶シリコン半導体層に前記第 1 の不純物注入より低濃度な第 2 の不純物注入を行う工程と前記レジストを除去する工程からなることを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 ゲート金属膜のパターニングを行うレジストの断面を順テーパ形状に加工する工程と前記順テーパ形状のレジストをマスクにゲート金属膜をエッチングしてゲート電極を形成する工程と前記ゲート電極上に前記テーパ形状のレジストが形成された状態で前記ゲート電極をマスクに多結晶シリコン半導体層に高濃度な不純物領域を形成する第 1 の不純物注入を行う工程と前記順テーパ形状のレジストを等方的なエッチングにより後退させ、前記ゲート電極の両端部の表面を露出させる工程と前記レジストをマスクに前記露出したゲート電極の両端部をエッチング除去する工程と前記ゲート電極をマスクに前記多結晶シリコン半導体層に前記第 1 の不純物注入より低濃度な第 2 の不純物注入を行う工程と前記レジストを除去する工程からなることを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 ゲート金属膜のパターニングを行うレジストの断面が半球順形状であることを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】 ゲート金属膜上に露光、現像で形成されたレジストのポストバーク温度を規定のポストバーク温度より高い温度で行う工程からなることを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 5】 形成レジストが単層膜であることを特徴とする請求項 4 に記載

の薄膜トランジスタの製造方法。

【請求項 6】 ゲート金属膜上にポストバーク条件温度が高い第 1 のレジストを塗布し、第 1 のレジスト上に第 1 のレジストよりポストバーク条件温度が低い第 2 のレジストを積層塗布する工程と前記第 1 のレジストと前記第 2 のレジストを共に露光、現像する工程と前記第 1 のレジストのポストバーク条件温度でポストバークを行う工程と前記第 1 のレジストをマスクにゲート金属膜のパターニングを行いゲート電極を形成することを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 7】 ゲート金属膜上に塗布されたレジストのプリバークを規定のプリバーク条件温度より低い温度で行うことを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 8】 ゲート金属膜のパターニングを行うレジストに対して露光焦点をずらして露光することを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 9】 レジストがネガ型レジストであることを特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 10】 ゲート金属膜のパターニングに用いるフォトマスクがぬきパターンのフォトマスクであることを特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 11】 ゲート金属膜上に露光、現像で形成されたレジストに熱処理を行い、レジスト表面に曲面を有する半球状に溶融変形させることを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 12】 レジストがメルトフロー型レジストであることを特徴とする請求項 11 に記載の薄膜トランジスタの製造方法。

【請求項 13】 レジスト形状を O_2 またはオゾンによるアッシングにより後退させることを特徴とする請求項 1 または請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 14】 レジストがポジ型レジストであることを特徴とする請求項 1 または請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 1 5】 一方またはすべてのレジスト形状が順テーパー形状であることを特徴とする請求項 4 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本願発明は、例えば液晶表示装置の画素スイッチング素子や駆動回路などに応用される薄膜トランジスタおよび、薄膜トランジスタで構成される M O S 回路等の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、液晶パネルの画素電極ごとに薄膜トランジスタ (Thin Film Transistor : T F T と称する) を備えたアクティブマトリックス型表示基板を用いた表示装置が、単純マトリックス型表示装置と比較して高い画質が得られるため盛んに研究されている。その中で、ポリシリコン T F T の電子移動度が、非晶質シリコン (以下アモルファスシリコンと呼ぶ) T F T と比較して 1 桁から 2 桁以上高いことに着目して、画素スイッチング素子としての T F T と駆動回路を同一ガラス基板上に形成した、いわゆる駆動回路内蔵型の液晶表示装置が提案、研究されている。

【 0 0 0 3 】

しかしながら、駆動回路を内蔵化する際には、ポリシリコン型 T F T はアモルファス型 T F T や M O S 型電解効果トランジスタと比較して O F F 電流が大きいという特性的な欠点を有しており、ポリシリコン型 T F T を適用した駆動回路内蔵型の液晶表示装置の実現に大きな障害であった。

【 0 0 0 4 】

そこで、このようなポリシリコン型 T F T の電気的特性課題を解決するためゲート構造をサブゲート化して、T F T のソース領域またはドレイン領域の少なくとも一方の領域に隣接して、低濃度不純物領域 (L D D : Lightly Doped Drain) を設け、O F F 電流の低減を図ると同時に O N 電流の減少が起きない薄膜トランジスタ構造が提案されている (SID96 DIGEST pp25 : Samsung 電子、Euro Displ

ay'96 pp555、ASIA Display'95 pp335 : Philips)。

【0005】

【発明が解決しようとする課題】

従来における薄膜トランジスタの構造を図6に示す。

【0006】

図6において、100はゲート電極、109は多結晶シリコン半導体層、125はゲート絶縁膜、110はサブゲート電極、116a、116bははみ出したサブゲート電極、111a、111bは低濃度不純物領域、112はガラス基板、113はソース領域 (n^+ 層)、114はドレイン領域 (n^+ 層)、115はチャンネル領域、127は層間絶縁膜、130はソース電極、131はドレイン電極である。

【0007】

TFTのゲート電極100上にはゲート電極100を覆うようにサブゲート電極110が設けられており、ゲート電極からはみ出したサブゲート電極116a、116bの直下には低濃度不純物領域111a、111b (LDD領域: n^- 層) が形成されている。

【0008】

この低濃度不純物領域111a、111bの一般的な形成方法としてはゲート電極100を形成した後、ゲート絶縁膜を介して多結晶シリコン半導体層109に低濃度不純物による第1のドーピングを行い、次にゲート電極100上にサブゲート電極となる金属膜を形成し、ホトリソグラフィ、エッチングによってゲート電極を覆った状態でかつ所定のはみ出し116a、116bがあるサブゲート電極を形成する。その後、第1のドーピングより不純物濃度が高い第2のドーピングを行う。これによりゲート電極よりはみ出したサブゲート電極116a、116bの直下には低濃度不純物領域111a、111b (LDD領域: n^- 層) が形成される。なお、この低濃度不純物領域111a、111bの個々の寸法はTFTのチャンネル幅に対して100~10%に設定される。

【0009】

このようにポリシリコン型TFTでは電気的特性課題を解決するためTFTの

ソース領域またはドレイン領域の少なくとも一方の領域に隣接して、微小な領域の低濃度不純物領域 (LDD: Lightly Doped Drain) を設けることが必要不可欠である反面、これら低濃度不純物領域を形成するため下記の課題が生じるものであった。

【0010】

1) 液晶表示装置の高精細化を実現するためには画素トランジスタを微細にして表示密度を高める必要がある。しかしながら通常、液晶表示装置製造に用いられる露光機は等倍露光方式が主流であるため、画素トランジスタの微細化に際しては微細化された画素トランジスタのチャネル幅に対して10~25%の極めて微小な領域での低濃度不純物領域 102a, 102b を寸法ずれがなく再現性よく形成させることがきわめて困難である。

【0011】

2) サブゲート電極と低濃度不純物領域との重ね合わせはマスク合わせにより行っているため、それらの重ね合わせを自己整合的に形成することができず、マスク合わせ精度のズレでその低濃度不純物領域寸法は変動する。そのため製造工程管理上、マスク合わせマージンを確保する理由から画素TFTの微細化に限界が生じ、マージンを確保する分だけ画素TFTの占有面積が大きくなる。

【0012】

3) 画素TFTの占有面積が大きくなり、それに伴いソース領域-ドレイン領域間の寄生容量が増大し動作波形の遅延が生じ液晶表示装置の表示特性が低下する。

【0013】

4) サブゲート電極形成の際にはゲート電極とは別に電極である金属膜の形成工程、フォトリソグラフィー工程、エッチング工程等が必要となり、さらにはフォトリソグラフィーを行うためのフォトマスクが必要となる。従って、TFT製造プロセスは多岐となり、プロセスの長期化、製造コストの上昇、保留まりの低下により液晶表示装置のコストが著しく高価となる。

【0014】

本願発明は、上記課題に鑑み、ポリシリコン型薄膜トランジスタの電気特性課

題であるOFF電流の低減とON電流の減少を図るため、TFTのソース領域およびドレイン領域に隣接した、低濃度不純物領域(LDD: Lightly Doped Drain)とをゲート電極を自己整合的に微細かつ高精度で形成し、寄生容量が少ない薄膜トランジスタをきわめて簡便な製造プロセスで形成することが可能な薄膜トランジスタの製造方法を提供するものである。

【0015】

【課題を解決するための手段】

上記課題を解決するため、本発明は薄膜トランジスタのゲート電極をエッチング形成したフォトリソ断面積形状を少なくとも上部と底部の幅を異ならせ側面をテーパ角あるいはアール形状を持つよう形状制御を行い、フォトリソを全体的にエッチングアッシングしてゲート電極両端部を露出させ、その露出した部分のゲート電極をエッチングにより除去し、このゲート電極をマスクとして、エッチング除去したゲート電極の領域に低濃度の不純物注入を行うことによりゲート電極直下のチャネルと隣接したきわめて微小な低濃度不純物領域(LDD: Lightly Doped Drain)を自己整合的にきわめて高精度で形成することでき、薄膜トランジスタ内の寄生容量の低減と薄膜トランジスタサイズの微細化と高性能化を図ることが可能となるものである。

【0016】

【発明の実施の形態】

以下、本願発明の実施例を図面を用いて説明する。

【0017】

図1は本願発明の第1の実施例である薄膜トランジスタの製造方法を示したものである。

【0018】

図1(a)において、ガラス基板1上にプラズマCVD法あるいは減圧CVD法により膜厚が500~1000Åのアモルファスシリコン層2を堆積させ、後のレーザーアニールによるアモルファスシリコン層2の結晶化の際、アモルファスシリコン層2の水素の離脱によってアモルファスシリコン層2のアブレーションを防止するための脱水素処理(図示せず)を400℃の温度で行う。

【0019】

図1(b)において、波長308nmのエキシマレーザーを用いたレーザーによりレーザーアニール3でアモルファスシリコン層2の熔融再結晶化（多結晶化）を行ない、ポリシリコン層4を形成する。

【0020】

次に、図1(c)で、ホトリソグラフィーによりポリシリコン層4を所定形状に島化したポリシリコン層4を形成する。

【0021】

図1(d)において、ガラス基板1上に、ポリシリコン層4を覆うようにして、ゲート絶縁膜5である、厚さが1000Åの SiO_2 （二酸化シリコン）層を形成し、さらにその上にAl、Mo、Ta等の金属からなる、のちのゲート電極となるゲートメタル6を形成する。

【0022】

次いで、図1(e)においてゲートメタル6上にフォトレジスト7を塗布し、規定条件でのプリベーク23を行う。

【0023】

図1(f)において、ゲート電極を形成するためのフォトマスク9を用いて露光10し、フォトレジスト7のフォトリソグラフィーを行う。

【0024】

図1(g)においてフォトレジスト7の現像後、規定条件でポストベーク11を行った後、図1(h)において、フォトレジスト7をマスクとしてゲートメタル6のエッチングを行い、ゲート電極6'を形成した後、ゲート電極6'をマスクとして第1の不純物注入12を行う。このときの不純物注入はイオンドーピング法によって行われ、不純物にはリンイオンが用いられ、注入濃度は高濃度で注入される。これにより、ゲート電極6'の直下に位置するポリシリコン層4のチャネル領域4cは、不純物が注入されない領域となる反面、ポリシリコン層4のチャネル領域4cを除くソース領域4aとドレイン領域4eには第1の不純物注入12による高濃度不純物領域（ n^+ 層）となる。

【0025】

次に図 1 (i) において、エッチング法、例えば O_2 、オゾンによるアッシング 1 3 によりフォトレジスト 7 を等方的にアッシングしてレジスト 7 を後退させ、ゲート電極 6' 端部の表面を露出させる (L 1、L 2)。この時のゲート電極 6' の端部における露出量 L 1、L 2 はゲート電極幅が $2 \mu m$ の場合 L 1、L 2 = 0. 2 ~ 0. 5 μm となるようアッシング条件を最適化する。

【 0 0 2 6 】

次に図 1 (j) においてエッチングによりフォトレジスト 7 より露出したゲート電極 6' の端部をエッチングを行い、このゲート電極 6' をマスクに第 2 の不純物注入 1 4 を行う。

【 0 0 2 7 】

この際の不純物注入は第 1 の不純物注入と同様にイオンドーピング法によって行われ、注入する不純物はリンイオンで注入濃度は第 1 の不純物注入 1 2 より低濃度で注入を行い、前記図 1 (j) でエッチングによって除去されたゲート電極 6' の L 1、L 2 の領域のポリシリコン層には低濃度な不純物領域 4 b、4 d が形成される。これにより、ポリシリコン層 4 におけるゲート電極 6' 直下のチャネル領域 4 c の両側にはエッチング除去されたゲート電極 6' の微少な幅で低濃度の不純物領域 (n-層) 4 b、4 d が形成されることになる。従ってこれにより、ゲート電極 6 の直下の不純物が全く注入されないチャネル領域 4 c とその両側には低濃度不純物領域 (n-層) 4 b、4 d が形成され、さらにその両側にそれぞれソース領域 4 a とドレイン領域 4 e が形成されることとなる。

【 0 0 2 8 】

次に図 1 (k) において、フォトレジスト 7 を除去したのち、ゲート電極 6' を覆うように層間絶縁膜 (SiO_x 等) 1 5 を製膜する。

【 0 0 2 9 】

そして図 1 (l) において、層間絶縁膜 1 5 及びゲート絶縁膜 5 にソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 を開口し、Al、Mo、Ta などの金属層をスパッタ法で蒸着形成、ソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 に充填し、金属層の上部を所定形状にパターニング (図示せず) してソース電極 1 8 及びドレイン電極 1 9 を形成したの

ち、図 1 (n) において SiN 等の保護膜 20 を形成することにより薄膜トランジスタ 21 が作製されるものである。なお、上記の例では、n チャネル T F T の製造方法について説明であるが、p チャネル T F T についても同様の製造プロセスにより製造することができる。

【0030】

次に図 2 において本願発明の第 2 の実施例による薄膜トランジスタの製造方法について説明する。

【0031】

図 2 (a) において第 1 の実施例と同様にガラス基板 1 上にレーザーアニールによって多結晶化したポリシリコン層 4 を所定形状に島化し、ガラス基板 1 上の、ポリシリコン層 4 を覆うようにして、ゲート絶縁膜 5 と Al、Mo、Ta 等の金属で、のちのゲート電極となるゲートメタル 6 を形成する。

【0032】

次いで、図 2 (b) においてポストバークによる固化温度が異なる 2 種類のポジ型フォトリソレジスト (A)、(B) 7, 8 を塗布する。例えばこの時、150℃の高いポストバーク温度で固化するフォトリソレジスト (A) 7 を下層に、一方、120℃の低いポストバーク温度で固化するフォトリソレジスト (B) 8 を上層に塗布する。

【0033】

図 2 (c) において、ゲート電極を形成するためのフォトリソマスク 9 を用いて露光 10 し、フォトリソレジスト (A)、(B) 7, 8 のフォトリソグラフィを行う。

【0034】

図 2 (d) においてフォトリソレジスト (A)、(B) 7, 8 の現像を行った後、図 2 (e) において、レジスト (A) 7 が固化する 150℃の温度でポストバーク 11 を行う。これによりレジスト (A) 7 は現状の形状を保った状態で固化する一方、レジスト (B) 8 は 120℃の低い温度で固化する特性のため、ポストバーク 11 の温度が 150℃と高い場合では加熱収縮によってレジスト (B) 8 の側面にはテーパ角が生じ、レジスト (B) 8 の断面形状は順テーパ状の台形形状となる。

【 0 0 3 5 】

次に図 2 (f) においてフォトリジスト (A) 7、(B) 8 をマスクとしてゲートメタル 6 のエッチングを行い、ゲート電極 6' を形成後、ゲート電極 6' をマスクとして第 1 の不純物注入 1 2 を行う。このときの不純物注入はイオンドーピング法によって行われ、不純物にはリンイオンが用いられ、注入濃度は高濃度で注入される。これにより、ゲート電極 6' の直下に位置するポリシリコン層 4 のチャンネル領域 4 c は、不純物が注入されない領域となる反面、ポリシリコン層 4 のチャンネル領域 4 c を除くソース領域 4 a とドレイン領域 4 e には第 1 の不純物注入 1 2 による高濃度不純物領域 (n^+ 層) となる。

【 0 0 3 6 】

次に図 2 (g) において、エッチング法、例えば O_2 、オゾンによるアッシング 1 3 によりフォトリジスト (A) 7 とフォトリジスト (B) を等方的にアッシングしてレジスト 7 を後退させ、ゲート電極 6' 端部の表面を露出させる (L_1 、 L_2)。この時のゲート電極 6' の端部における露出量 L_1 、 L_2 はゲート電極幅が $2 \mu m$ の場合 L_1 、 $L_2 = 0.2 \sim 0.5 \mu m$ となるようアッシング条件を最適化する。

【 0 0 3 7 】

次に図 2 (h) においてエッチングによりフォトリジスト (A)、(B) 7、8 より露出したゲート電極 6' の端部をエッチングを行い、このゲート電極 6' をマスクに第 2 の不純物注入 1 4 を行う。

【 0 0 3 8 】

この際の不純物注入は第 1 の不純物注入と同様にイオンドーピング法によって行われ、注入する不純物はリンイオンで注入濃度は前記第 1 の不純物注入 1 2 より低濃度で注入を行い、前記図 2 (h) でエッチングによって除去されたゲート電極 6' の L_1 、 L_2 の領域のポリシリコン層には低濃度な不純物領域 4 b、4 d が形成される。これにより、ポリシリコン層 4 におけるゲート電極 6' 直下のチャンネル領域 4 c の両側にはエッチング除去されたゲート電極 6' の微少な幅で低濃度の不純物領域 (n^- 層) 4 b、4 d が形成されることになる。従ってこれにより、ゲート電極 6 の直下の不純物が全く注入されないチャンネル領域 4 c とそ

の両側には低濃度不純物領域（ n -層）4b, 4dが形成され、さらにその両側にそれぞれソース領域4aとドレイン領域4eが形成されることとなる。

【0039】

次に図2(i)において、フォトレジスト(A)、(B)7, 8を除去したのち、ゲート電極6'を覆うように層間絶縁膜(SiO_x 等)15を製膜する。

【0040】

そして図2(j)において、層間絶縁膜15及びゲート絶縁膜5にソース電極コンタクトホール16とドレイン電極コンタクトホール17を開口し、A1などの金属層をスパッタ法で蒸着形成、ソース電極コンタクトホール16とドレイン電極コンタクトホール17に充填し、金属層の上部を所定形状にパターニング（図示せず）してソース電極18及びドレイン電極19を形成したのち、図2(k)において SiN 等の保護膜20を形成することにより薄膜トランジスタ21が作製されるものである。

【0041】

なお、上記の例では、 n チャネルTFTの製造方法について説明であるが、 p チャネルTFTについても同様の製造プロセスにより製造することができる。

【0042】

次に図3において本願発明の第3の実施例による薄膜トランジスタの製造方法について説明する。

【0043】

図3(a)において第1および第2の実施例と同様にガラス基板1上にレーザーアニールによって多結晶化したポリシリコン層4を所定形状に島化し、ガラス基板1上の、ポリシリコン層4を覆うようにして、ゲート絶縁膜5とA1、Mo、Ta等の金属で、のちのゲート電極となるゲートメタル6を形成する。

【0044】

次いで図3(b)において、ポジ型のフォトレジスト22を塗布し、フォトレジスト22の規定のプリベーク温度より低い温度でプリベーク23を行う。この時のプリベーク温度は通常のプリベーク温度は70～80℃一般的であるが、本発明では10～30%低い温度でプリベークを行い、のちの現像工程における現

像液に対する耐性をやや低下した状態にする。

【0045】

次いで、図3(c)においてゲート電極を形成するためのフォトマスク9を用いて露光10し、フォトレジスト22のフォトリソグラフィを行う。

【0046】

図3(d)においてフォトレジスト22の露光10後所定の現像液(図示せず)を用いて現像24を行う。この時、前記図2(b)の際、規定のプリベーク温度より低い温度でプリベークを行っているため現像液による現像工程24でフォトレジスト22自体の現像液に対する耐性が低下しているためフォトレジスト形状の側面部にも顕著な浸食が生じるためフォトレジスト22の側面にはテーパ角が生じ、フォトレジスト22の断面形状は順テーパ状の台形状となる。

【0047】

次に図3(e)においてフォトレジスト22をマスクとしてゲートメタル6のエッチングを行い、ゲート電極6'を形成後、ゲート電極6'をマスクとして第1の不純物注入12を行う。このときの不純物注入はイオンドーピング法によって行われ、不純物にはリンイオンが用いられ、注入濃度は高濃度で注入される。これにより、ゲート電極6'の直下に位置するポリシリコン層4のチャネル領域4cは、不純物が注入されない領域となる反面、ポリシリコン層4のチャネル領域4cを除くソース領域4aとドレイン領域4eには第1の不純物注入12による高濃度不純物領域(n^+ 層)となる。

【0048】

次に図3(f)において、エッチング法、例えば O_2 、オゾンによるアッシング13によりフォトレジスト22を等方的にアッシングしてレジスト7を後退させ、ゲート電極6'端部の表面を露出させる(L1、L2)。この時のゲート電極6'の端部における露出量L1、L2はゲート電極幅が $2\mu m$ の場合L1、L2 = 0.2 ~ 0.5 μm となるようアッシング条件を最適化する。

【0049】

次に図3(g)においてエッチングによりフォトレジスト22より露出したゲート電極6'の端部をエッチングを行い、このゲート電極6'をマスクに第2の

不純物注入 1 4 を行う。

【0 0 5 0】

この際の不純物注入は第 1 の不純物注入と同様にイオンドーピング法によって行われ、注入する不純物はリンイオンで注入濃度は前記第 1 の不純物注入 1 2 より低濃度で注入を行い、前記図 3 (g) でエッチングによって除去されたゲート電極 6' の L 1、L 2 の領域のポリシリコン層には低濃度な不純物領域 4 b、4 d が形成される。これにより、ポリシリコン層 4 におけるゲート電極 6' 直下のチャネル領域 4 c の両側にはエッチング除去されたゲート電極 6' の微少な幅で低濃度の不純物領域 (n-層) 4 b、4 d が形成されることになる。従ってこれにより、ゲート電極 6 の直下の不純物が全く注入されないチャネル領域 4 c とその両側には低濃度不純物領域 (n-層) 4 b、4 d が形成され、さらにその両側にそれぞれソース領域 4 a とドレイン領域 4 e が形成されることとなる。

【0 0 5 1】

次に図 3 (h) において、フォトレジスト 2 2 を除去したのち、ゲート電極 6' を覆うように層間絶縁膜 (SiO_x 等) 1 5 を製膜する。

【0 0 5 2】

そして図 3 (i) において、層間絶縁膜 1 5 及びゲート絶縁膜 5 にソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 を開口し、A 1 などの金属層をスパッタ法で蒸着形成、ソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 に充填し、金属層の上部を所定形状にパターニング (図示せず) してソース電極 1 8 及びドレイン電極 1 9 を形成したのち、図 3 (j) において SiN 等の保護膜 2 0 を形成することにより薄膜トランジスタ 2 1 が作製されるものである。

【0 0 5 3】

なお、本発明における第 2 の実施例では、n チャネル T F T の製造方法について説明であるが、p チャネル T F T についても同様の製造プロセスにより製造することができることはいうまでもない。

【0 0 5 4】

次に図 4 において本願発明の第 4 の実施例による薄膜トランジスタの製造方法

について説明する。

【0055】

図4 (a) において第1および第2、第3の実施例と同様にガラス基板1上にレーザーアニールによって多結晶化したポリシリコン層4を所定形状に島化し、ガラス基板1上の、ポリシリコン層4を覆うようにして、ゲート絶縁膜5とAl、Mo、Ta等の金属で、のちのゲート電極となるゲートメタル6を形成する。

【0056】

次いで図4 (b) において、ネガ型のフォトレジスト25を通常の膜厚(1~2 μ m)より厚め(例えば3~6 μ m)に塗布し、フォトレジスト25の規定のプリベークを行う。

【0057】

次いで、図4 (c) においてゲート電極を形成するためのぬきパターンのフォトマスク26を用いて露光10し、ネガ型フォトレジスト25のフォトリソグラフィを行う。この時、ガラス基板1のフォトレジスト25表面とフォトマスク26の間隔Hを広くしてフォトレジスト25に対して焦点をずらし、露光照射光27が広がるようにして露光を行う。これにより、フォトレジストへは平行光ではなくフォトマスク開口パターン28より広がった状態で露光される。

【0058】

これにより図4 (d) において、フォトレジスト25を現像処理するとによりフォトレジスト25の断面形状はフォトマスク開口パターン28より広がった状態で露光されことによりフォトレジスト25の側面にはテーパ角が生じ、フォトレジスト25の断面形状は順テーパ状の台形状となる。

【0059】

次に図4 (e) においてフォトレジスト25をマスクとしてゲートメタル6のエッチングを行い、ゲート電極6'を形成後、ゲート電極6'をマスクとして第1の不純物注入12を行う。このときの不純物注入はイオンドーピング法によって行われ、不純物にはリンイオンが用いられ、注入濃度は高濃度で注入される。これにより、ゲート電極6'の直下に位置するポリシリコン層4のチャネル領域4cは、不純物が注入されない領域となる反面、ポリシリコン層4のチャネル領域

4 c を除くソース領域 4 a とドレイン領域 4 e には第 1 の不純物注入 1 2 による高濃度不純物領域 (n^+ 層) となる。

【0 0 6 0】

次に図 4 (f) において、エッチング法、例えば O_2 、オゾンによるアッシング 1 3 によりフォトリジスト 2 5 を等方的にアッシングしてレジスト 7 を後退させ、ゲート電極 6' 端部の表面を露出させる (L_1 、 L_2)。この時のゲート電極 6' の端部における露出量 L_1 、 L_2 はゲート電極幅が $2 \mu m$ の場合 L_1 、 $L_2 = 0.2 \sim 0.5 \mu m$ となるようアッシング条件を最適化する。

【0 0 6 1】

次に図 4 (g) においてエッチングによりフォトリジスト 2 5 より露出したゲート電極 6' の端部をエッチングを行い、このゲート電極 6' をマスクに第 2 の不純物注入 1 4 を行う。

【0 0 6 2】

この際の不純物注入は第 1 の不純物注入と同様にイオンドーピング法によって行われ、注入する不純物はリンイオンで注入濃度は前記第 1 の不純物注入 1 2 より低濃度で注入を行い、前記図 4 (g) でエッチングによって除去されたゲート電極 6' の L_1 、 L_2 の領域のポリシリコン層には低濃度な不純物領域 4 b、4 d が形成される。これにより、ポリシリコン層 4 におけるゲート電極 6' 直下のチャネル領域 4 c の両側にはエッチング除去されたゲート電極 6' の微少な幅で低濃度の不純物領域 (n^- 層) 4 b、4 d が形成されることになる。従ってこれにより、ゲート電極 6 の直下の不純物が全く注入されないチャネル領域 4 c とその両側には低濃度不純物領域 (n^- 層) 4 b、4 d が形成され、さらにその両側にそれぞれソース領域 4 a とドレイン領域 4 e が形成されることとなる。

【0 0 6 3】

次に図 4 (h) において、フォトリジスト 2 5 を除去したのち、ゲート電極 6' を覆うように層間絶縁膜 (SiO_x 等) 1 5 を製膜する。

【0 0 6 4】

そして図 4 (i) において、層間絶縁膜 1 5 及びゲート絶縁膜 5 にソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 を開口し、A 1 など

の金属層をスパッタ法で蒸着形成、ソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 に充填し、金属層の上部を所定形状にパターニング（図示せず）してソース電極 1 8 及びドレイン電極 1 9 を形成したのち、図 4（j）において SiN 等の保護膜 2 0 を形成することにより薄膜トランジスタ 2 1 が作製されるものである。

【 0 0 6 5 】

なお、本発明における第 2 の実施例では、n チャネル T F T の製造方法について説明であるが、p チャネル T F T についても同様の製造プロセスにより製造することができることはいうまでもない。

【 0 0 6 6 】

次に図 5 において本願発明の第 5 の実施例による薄膜トランジスタの製造方法について説明する。

【 0 0 6 7 】

図 5（a）において第 1、第 2、第 3、第 4 の実施例と同様にガラス基板 1 上にレーザーアニールによって多結晶化したポリシリコン層 4 を所定形状に島化し、ガラス基板 1 上の、ポリシリコン層 4 を覆うようにして、ゲート絶縁膜 5 と Al、Mo、Ta 等の金属で、のちのゲート電極となるゲートメタル 6 を形成する。

【 0 0 6 8 】

次いで図 5（b）において、120～200℃の加熱温度によってパターン形状が溶融変形が顕著な溶融型レジスト 2 9 を塗布する。この時使用する溶融型レジストは主に CCD デバイス素子のマイクロレンズ形成で使用されるメルトフロー型レジストが適用できるものである。このレジストは感光特性を有し、所定の温度で加熱を行うとレジスト材料自体が容易に溶融し、溶融変形後のレジストの断面形状は角が丸みを持ち、表面が半球状の形状となるものである。

【 0 0 6 9 】

次いで、図 5（c）においてゲート電極を形成するためのフォトマスク 9 を用いて露光 1 0 し、溶融型レジスト 2 9 のフォトリソグラフィを行う。

【 0 0 7 0 】

図5(d)において溶融型レジスト29の露光10と現像後、120～200℃の温度で熱処理30を行なう。この時、溶融型レジスト29はメルトフロー型レジストであるため前記の熱処理温度で粘度が著しく低下溶融し、溶融型レジスト29の断面は角に丸みを持ち、表面が半球状の形状となる特性から、ゲートメタル6上に半球上に溶融変形する。従って、溶融型レジスト29の側面はアール状となり、溶融型レジスト29の断面形状は半球形状のレジスト形状が得られる。

その後、溶融変形した形状を保持するためのポストバーク（図示せず）を200～250℃の温度で行う。

【0071】

次に図5(e)において溶融型レジスト29をマスクとしてゲートメタル6のエッチングを行い、ゲート電極6'を形成後、ゲート電極6'をマスクとして第1の不純物注入12を行う。このときの不純物注入はイオンドーピング法によって行われ、不純物にはリンイオンが用いられ、注入濃度は高濃度で注入される。これにより、ゲート電極6'の直下に位置するポリシリコン層4のチャネル領域4cは、不純物が注入されない領域となる反面、ポリシリコン層4のチャネル領域4cを除くソース領域4aとドレイン領域4eには第1の不純物注入12による高濃度不純物領域（ n^+ 層）となる。

【0072】

次に図5(f)において、エッチング法、例えば O_2 、オゾンによるアッシング13により溶融型レジスト29を等方的にアッシングしてレジスト7を後退させ、ゲート電極6'端部の表面を露出させる（L1、L2）。この時のゲート電極6'の端部における露出量L1、L2はゲート電極幅が2 μm の場合L1、L2=0.2～0.5 μm となるようアッシング条件を最適化する。

【0073】

次に図5(g)においてエッチングにより溶融型レジスト29より露出したゲート電極6'の端部をエッチングを行い、このゲート電極6'をマスクに第2の不純物注入14を行う。

【0074】

この際の不純物注入は第1の不純物注入と同様にイオンドーピング法によって

行われ、注入する不純物はリンイオンで注入濃度は前記第 1 の不純物注入 1 2 より低濃度で注入を行い、前記図 5 (g) でエッチングによって除去されたゲート電極 6' の L 1、L 2 の領域のポリシリコン層には低濃度な不純物領域 4 b、4 d が形成される。これにより、ポリシリコン層 4 におけるゲート電極 6' 直下のチャネル領域 4 c の両側にはエッチング除去されたゲート電極 6' の微少な幅で低濃度の不純物領域 (n^- 層) 4 b、4 d が形成されることになる。従ってこれにより、ゲート電極 6 の直下の不純物が全く注入されないチャネル領域 4 c とその両側には低濃度不純物領域 (n^- 層) 4 b、4 d が形成され、さらにその両側にそれぞれソース領域 4 a とドレイン領域 4 e が形成されることとなる。

【0075】

次に図 5 (h) において、熔融型レジスト 2 9 を除去したのち、ゲート電極 6' を覆うように層間絶縁膜 (SiO_x 等) 1 5 を製膜する。

【0076】

そして図 5 (i) において、層間絶縁膜 1 5 及びゲート絶縁膜 5 にソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 を開口し、A 1 などの金属層をスパッタ法で蒸着形成、ソース電極コンタクトホール 1 6 とドレイン電極コンタクトホール 1 7 に充填し、金属層の上部を所定形状にパターニング (図示せず) してソース電極 1 8 及びドレイン電極 1 9 を形成したのち、図 5 (j) において SiN 等の保護膜 2 0 を形成することにより薄膜トランジスタ 2 1 が作製されるものである。

【0077】

なお、本発明における第 2 の実施例では、 n チャネル T F T の製造方法について説明であるが、 p チャネル T F T についても同様の製造プロセスにより製造することができることはいうまでもない。

【0078】

また、本発明では薄膜トランジスタを形成する基板にはガラス基板を用いた実施例を記述したが、プラスチック等の絶縁基板でも同様に用いることができるものである。

【0079】

【発明の効果】

以上のように本願発明によれば、ゲート電極をエッチング形成する際のフォトリソグラフ側面をテーパ角を持つよう台形状または半球形状に施した状態で、ゲート電極形成後フォトリソグラフを全体的にアッシングしてゲート電極両端部を露出させ、その露出した部分のゲート電極をエッチング除去し、ゲート電極をマスクとして、その領域に低濃度な不純物ドーピングを行うことにより、トランジスタサイズが $2 \sim 4 \mu\text{m}$ と微細化となっても薄膜トランジスタのソース領域およびドレイン領域に隣接する低濃度不純物領域 (LDD : Lightly Doped Drain) を自己整合的にきわめて微小にかつ高精度に形成することができる。さらにはこのような微小な低濃度不純物領域 (LDD : Lightly Doped Drain) を形成するための特別な工程を必要とせず、既存プロセスで容易にかつ簡便に実現することができるものであり、微細な薄膜トランジスタ内の寄生容量の低減と薄膜トランジスタサイズの微細化と高性能化を図ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例における薄膜トランジスタの製造工程を示す工程断面図

【図 2】

本発明の第 2 の実施例における薄膜トランジスタの製造工程を示す工程断面図

【図 3】

本発明の第 3 の実施例における薄膜トランジスタの製造工程を示す工程断面図

【図 4】

本発明の第 4 の実施例における薄膜トランジスタの製造工程を示す工程断面図

【図 5】

本発明の第 5 の実施例における薄膜トランジスタの製造工程を示す工程断面図

【図 6】

従来の薄膜トランジスタの断面構造図

【符号の説明】

- 1 ガラス基板
- 2 アモルファスシリコン層

3 レーザーアニール

4 ポリシリコン層

4 a ソース領域

4 b, 4 d 低濃度不純物領域

4 c チャネル領域

4 e ドレイン領域

5 ゲート絶縁膜

6 ゲートメタル

6' ゲート電極

7, 8, 22 フォトレジスト

9 フォトマスク

10 露光

11 ポストバーク

12 第1の不純物注入

13 アッシング

14 第2の不純物注入

15 層間絶縁膜

16 ソース電極コンタクトホール

17 ドレイン電極コンタクトホール

18 ソース電極15

19 ドレイン電極

20 保護膜

21 薄膜トランジスタ

25 ネガ型レジスト

26 ぬきパターンのフォトマスク

27 露光照射光

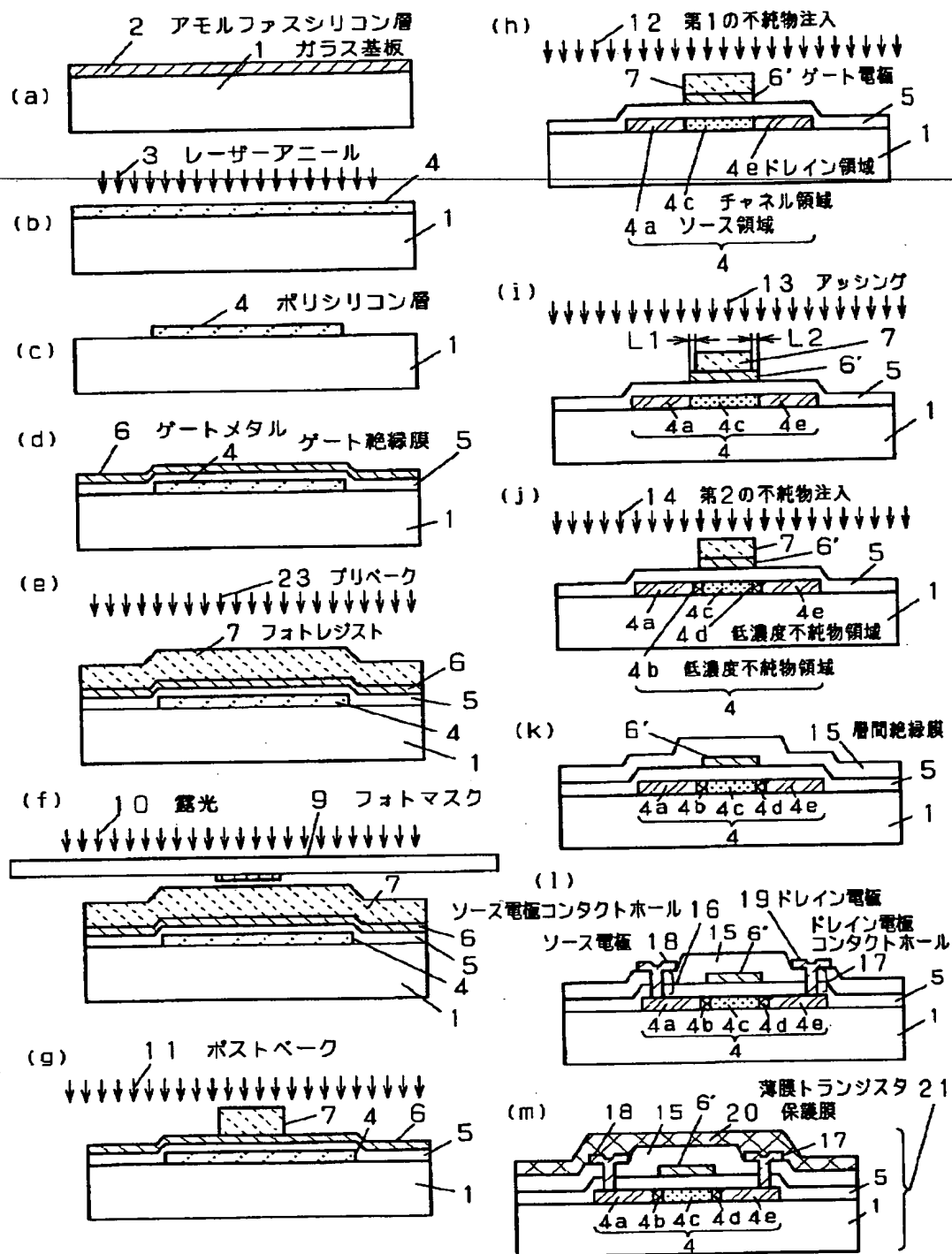
28 開口パターン

29 溶融型レジスト

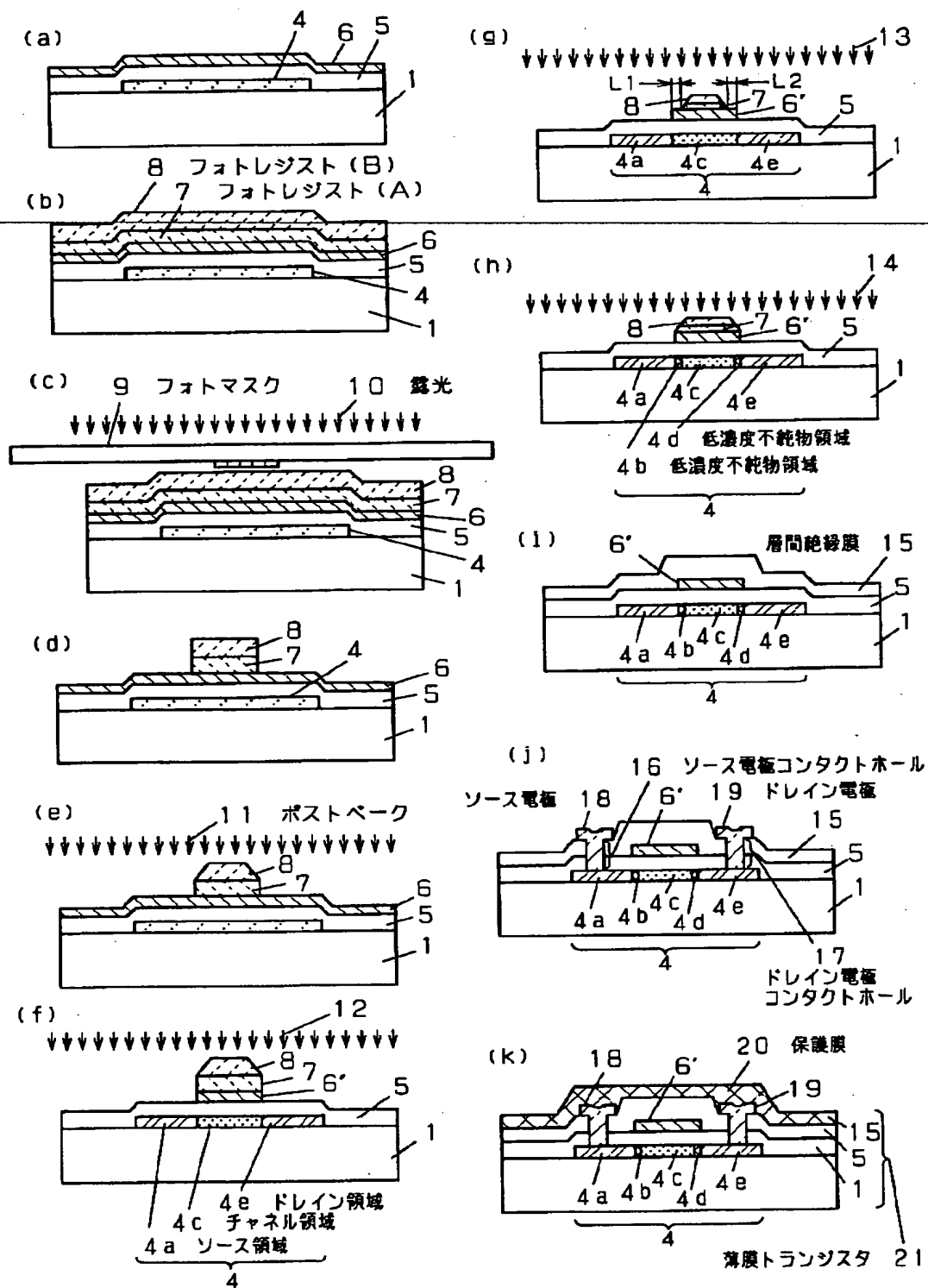
30 熱処理

【書類名】 図面

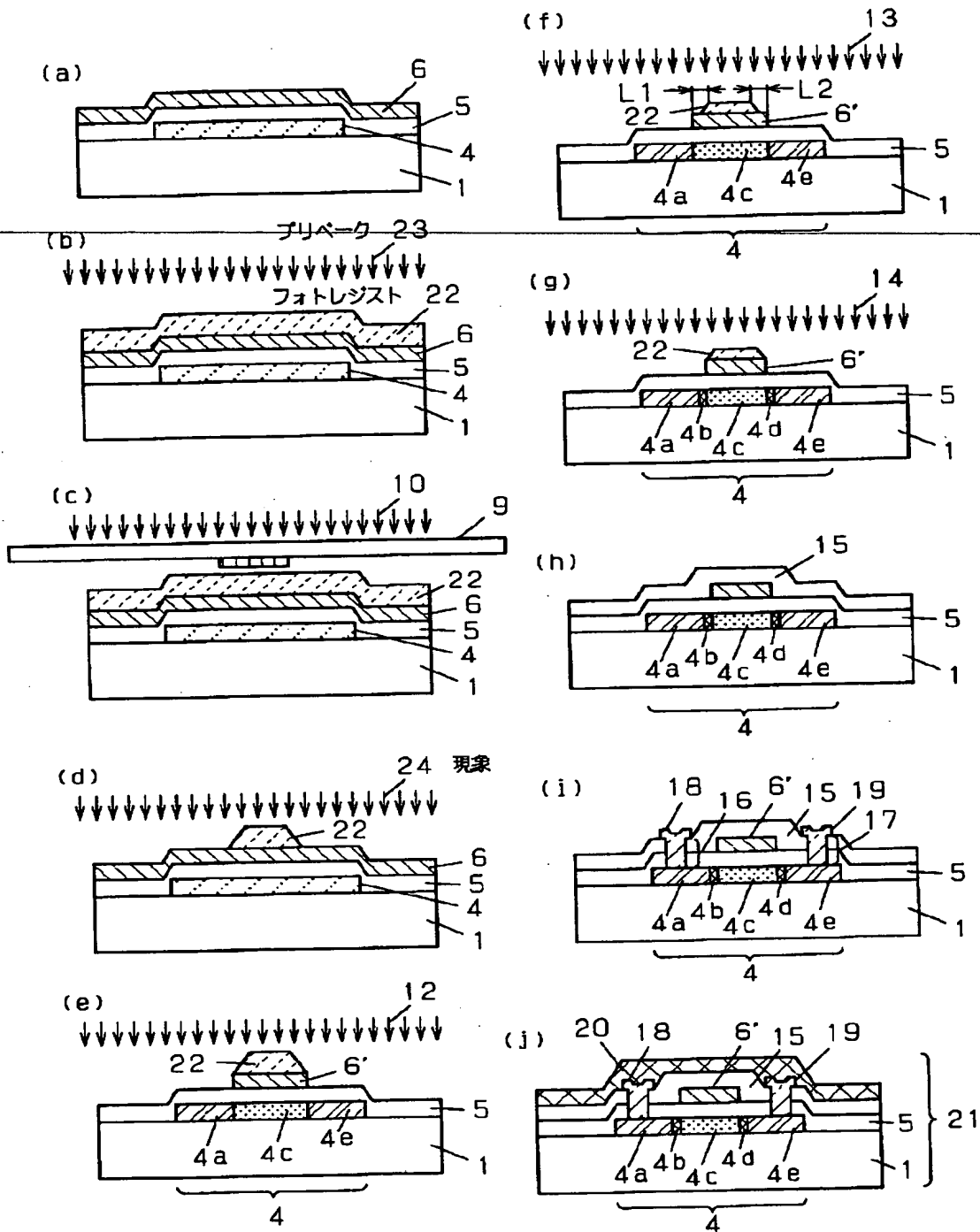
【図 1】



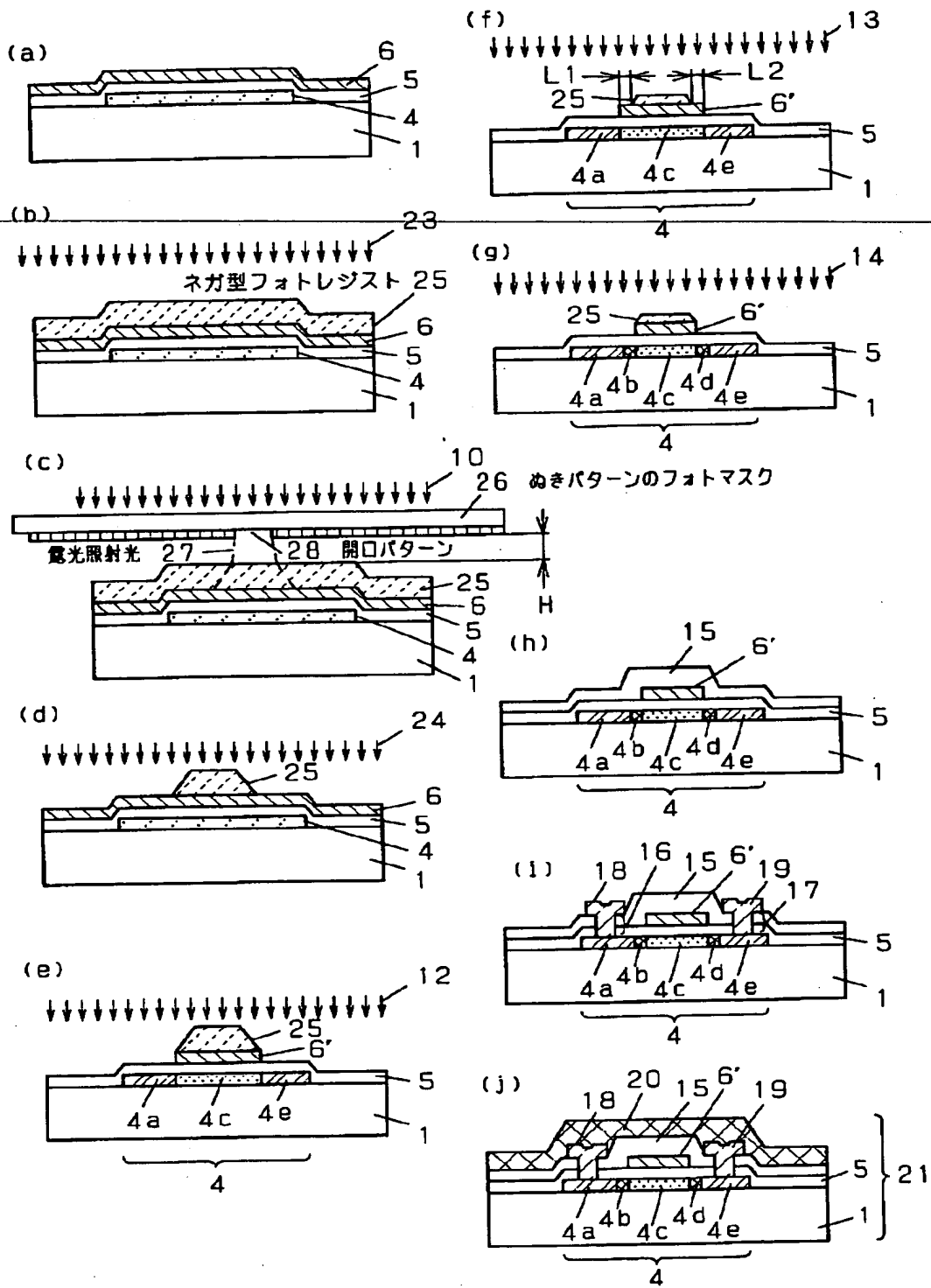
【図 2】



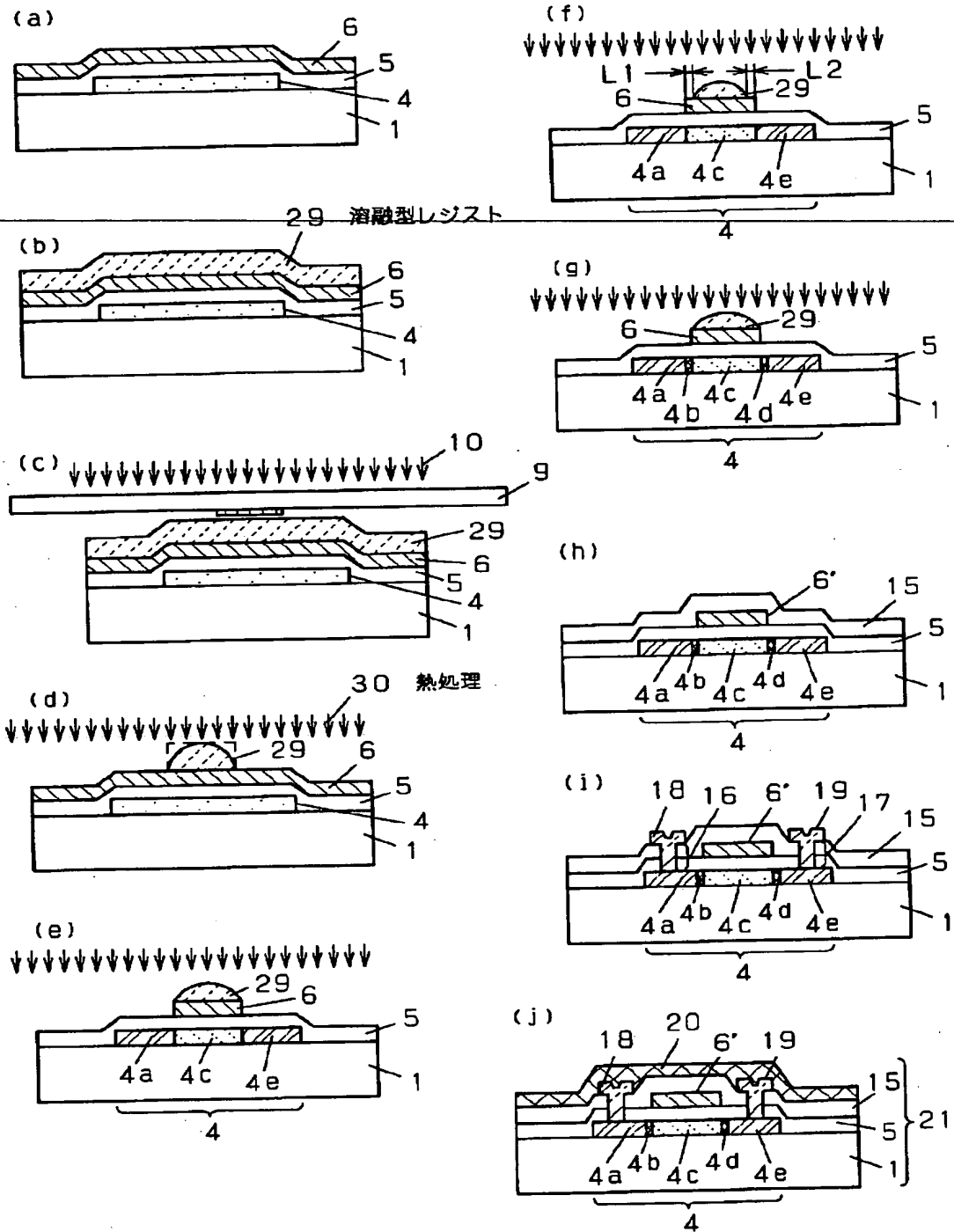
【図 3】



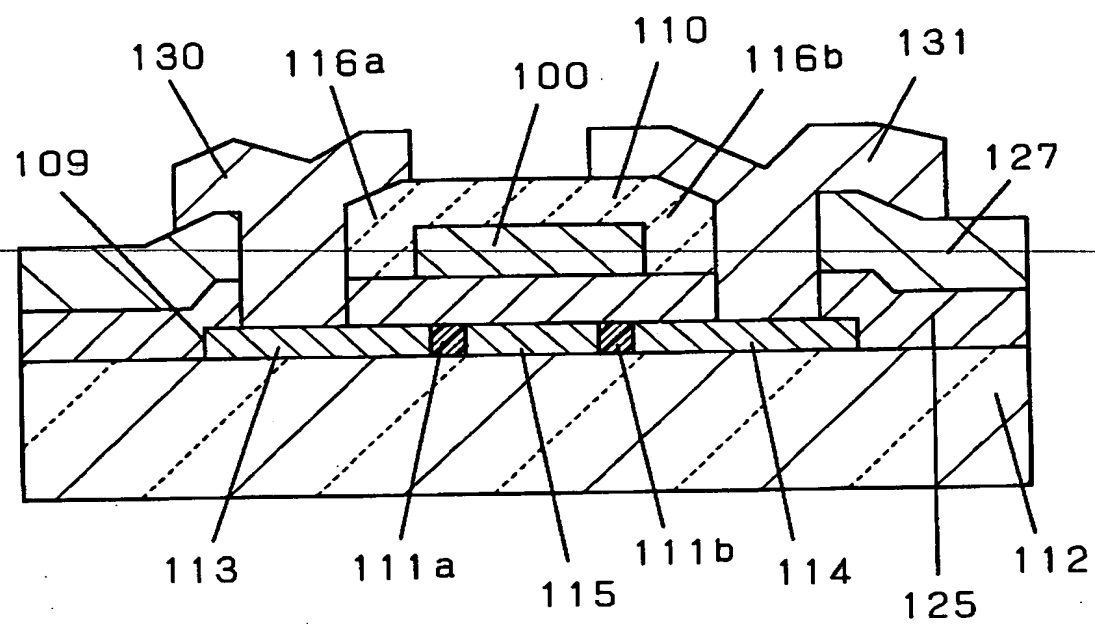
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 TFTのソース領域およびドレイン領域に隣接した、低濃度不純物領域（LDD : Lightly Doped Drain）を自己整合的に微細かつ高精度で形成し、寄生容量が少ない薄膜トランジスタをきわめて簡便な製造プロセスで形成することと目的とする。

【解決手段】 ゲート電極をパターンニングするレジストの断面形状を順テーパ形状にして、ゲートメタルをエッチングし、ポリシリコン層に高濃度（ $n+$ ）の不純物注入を行い、順テーパ形状レジストをアッシングにより後退させ、露出したゲート電極両端部をエッチングを行い、ポリシリコン層に低濃度（ $n-$ ）の不純物注入を行なうことで自己整合的に微細かつ高精度にLDDを形成する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

